

FPGA 向け浮動小数点演算 IP ライブラリの開発

苫小牧高専 ○神成政彰、稲川清、吉村斎、北海道立工業試験場 大村功

要 旨

本研究では、FPGA 向け IP ライブラリとして IEEE754 に準拠した浮動小数点演算回路の開発を行う。本報では開発した浮動小数点演算回路の機能と構成について述べる。具体的には、加減算回路・乗算回路・除算回路の四則演算における大まかなアルゴリズム、Altera 社のソフトコア CPU である Nios II との接続方法、開発した演算回路の上限動作周波数と回路規模、FPGA 上での動作テストの結果について報告する。

1. 緒言

現在、組込みシステムは産業機器・家電製品などのさまざまな分野で利用されている。具体的な用途も、制御、通信等多岐に渡るが、数値計算や信号処理が必要とされる場合もあり、これらの用途では、特に演算精度の点において浮動小数点演算が必要とされている^{1) 2)}。

ところで、組込みシステムを FPGA 等のプログラマブルデバイスで実現する場合、倍精度演算も含めた浮動小数点演算に対応するためには、浮動小数点演算 IP ライブラリが必要となる。しかし、商用の浮動小数点演算 IP ライブラリは高価であり、また、無償の浮動小数点演算 IP ライブラリも公開されているが、演算の処理段数が多く、演算精度についても倍精度はサポートされていないことが多い。

そこで本研究では、倍精度演算をサポートした、より高速な浮動小数点演算 IP ライブラリ開発を目的とする。本報では開発した浮動小数点演算回路の機能と構成、Altera 社のソフトコア CPU である Nios II との接続方法について述べる。

2. 本文

2.1 研究の概要

本研究では IEEE754³⁾ に準拠した FPGA 向け浮動小数点演算 IP ライブラリを開発を行う。演算精度は単精度の他に倍精度もサポートする。想定するシステムは、図 1 に示すように Altera 社のソフト・マクロのプロセッサである Nios II を中心としたもので、目標動作周波数を 50、100MHz の 2 種類としている。なお、開発する浮動小数点演算 IP ライブラリは単独の IP としても利用可能である。例えば、倍精度の演算器では Nios II の特徴に合わせたインターフェースをはずすことで、単独利用することができる。

IP ライブラリの主な内容は、単精度と倍精度でそれぞれ開発する「加減算」、「乗算」、「除算」、「剰余」、「平方根」などの演算回路や、「フォーマット変換」、「比較」、「2進⇄10進変換」などのオペレーション関数である。

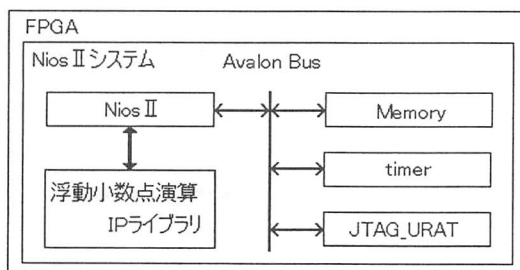


図 1. Nios II システムと浮動小数点演算 IP ライブラリ

2.2 単精度の四則演算回路

2進浮動小数点演算 IP ライブラリの基本回路となる単精度の四則演算回路について、以下に説明する。浮動小数点演算を行う主な手順は以下のようにになっている。

- (1) 符号の決定
- (2) 指数部の計算
- (3) 仮数部の計算
- (4) 例外処理

2.2.1 乗算回路

乗算回路では、2つのオペランドの符号部の OR をとることにより、結果の符号を決定することができる。指数部は2つのオペランドの指数部の和をとり、仮数部の計算を行った時の丸め処理による桁上げを考慮する必要がある。仮数部は23ビットであるが先頭に隠れビットとして‘1’があるので、それを付けて24ビット同士の乗算を行う。最後に、乗算の結果として得られた48ビットに対して丸めの処理を行う。以上の操作で浮動小数点の乗算の結果を得ることができる。

2.2.2 加減算回路

加算と減算回路は共通の部分が多いため、加減算回路として一つの演算回路にまとめた。加減算は乗算と異なり仮数部の計算前に指数の桁を揃える処理があり、プライオリティ・エンコーダとパレル・シフタが利用される。その後の処理は乗算の場合とほぼ同じである。減算の場合は、仮数部の計算の結果次第で桁借りが発生する場合がある。

2.2.3 除算回路

除算回路は四則演算の中で最も処理時間が必要となる演算回路である。また、除算のアルゴリズムはいくつかの種類があり、今回は引き戻し法で3ビットずつ商を決定していくアルゴリズムを用いた。このアルゴリズムは、1クロックで決定する商のビット数を増やすほど除算全体のクロック数が少なく済むが、1クロックの処理時間が長くなり、回路規模も大きくなる。このため、上限動作周波数は低くなってしまふ。反対に、1クロックで決定する商のビット数を減らすほど除算全体のクロック数は多くなるが、1クロックでの処理時間が短くなり、回路規模も小さくなる。このため上限動作周波数は高くなる。そこで、今回は速度と規模のバランスを見て、3ビットずつ商を決定することにした。

2.3 倍精度化について

単精度の四則演算回路を元に、四則演算回路の倍精度化を行った。具体的には、各部のデータ形式を32ビット対応のものから64ビット(符号部を1ビット、指数部を11ビット、仮数部を52ビット)対応に変更した。

倍精度化するにあたり、Nios II の特徴に合わせて図2のような3つのインターフェースを作成し、それぞれカスタム命令で呼び出すことで実現した。

図2のインターフェースのALT_CI_IA () という関数でIAというインターフェースに入力データの上位32ビットを与えている。ALT_CI_IB () という関数ではIBに入力データの下位32ビットを与えて、演算結果の上位32ビットを受け取っている。ALT_CI_IC () という関数ではICから演算結果の下位32ビットを受け取っている。これにより、Nios II システムでの演算回路の倍精度化が可能となる。

2. 4 演算回路の上限動作周波数および回路規模

動作周波数 50MHz を目標にした演算器は、低速クロックのシステム向けであり、演算結果を得るまでのクロック数が少なくなるように設計した。これに対して動作周波数 100MHz を目標にした演算器では、より高速なクロックに対応するために、演算処理終了までに要するクロック数を増やす代わりに、1クロック当たりの処理時間を短縮した。また、除算以外の演算回路ではデータフローの構造をとり、垂れ流し演算を可能にした。これにより、高い動作周波数と処理時間の短縮を実現することができる。

今回開発したそれぞれの演算器の上限動作周波数と回路規模を表1に示す。上限動作周波数の下の数値は処理にかかるクロック数を表している。なお、上限動作周波数は Quartus II の Timing Analyzer、LEs は Quartus II のコンパイラによって得られた値である。また、ターゲットデバイスは Stratix II の EP2S60F672C3 である。

倍精度の場合のクロック数はインターフェースを用いるため表1に示したクロック数より5クロック余分にかかる。

2. 5 シミュレーション方法

論理合成ツールである Quartus II のシミュレーション機能を用いて、開発した各演算器の動作検証を行った。シミュレーションでは演算器に入力データを加えて出力を見ることによって回路の動作や演算結果が正しい値になっているかを検証した。また、シミュレーションでは例外処理と境界条件での処理を検証する入力データを用いた。

2. 6 FPGA 上での動作テスト

目標動作周波数を 50MHz とした演算回路を FPGA 上に実装し動作テストを行った。動作テストにおいては、Nios II 開発キット(Stratix II Edition)を使用し、SOPC Builder を用いて Nios II、RAM、Timer、JTAG_UART というシンプルな構成のシステムを構築し、Nios II の命令セットの拡張として各演算回路を追加した。次に Nios II の統合開発環境である Nios II IDE でテストプログラムを作成し、各演算回路の動作と演算結果の検証を行った。また、ソフトウェア処理と作成した演算回路のハードウェア処理とで、乱数を用いた演算 1 回と 100 回での処理時間を表2に示す。

3. 結言

FPGA 向け浮動小数点演算 IP ライブラリ用の基本演算回路を開発した。現在までに、単精度と倍精度の浮動小数点四則演算回路に対して、シミュレーションによる動作検証は 50、100MHz の両動作周波数で、FPGA 上での動作テストは 50MHz の動作周波数でそれぞれ完了している。

今後の課題としては以下の項目があげられる。

- (1) 丸めモードとグラディアル・アンダフローの追加
- (2) FPGA 上での動作テスト (100MHz 演算回路)
- (3) 比較回路、フォーマット変換回路などの作成

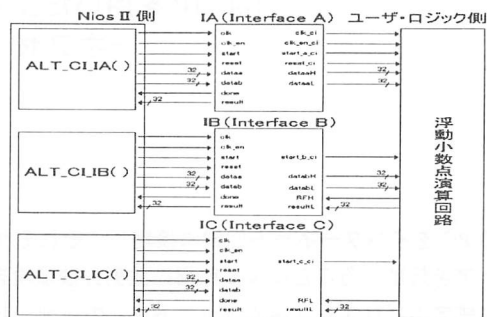


図2. Nios II システム向け倍精度化用インターフェース

表1. 作成した演算器の上限動作周波数と LEs

形式	演算器	目標動作周波数 50[MHz]		目標動作周波数 100[MHz]	
		上限動作周波数[MHz]	LEs	上限動作周波数[MHz]	LEs
単精度	加減算	59.24 (1)	537	108.46 (5)	776
	乗算	90.41 (1)	118	108.14 (1)	233
	除算	97.51 (11)	679	121.18 (11)	881
倍精度	加減算	66.70 (5)	1352	133.35 (5)	1405
	乗算	61.32 (1)	568	121.76 (3)	645
	除算	101.57 (22)	1543	101.57 (22)	1543

LEs : Logic Elements

表2. 処理時間比較結果

処理形態		加減算[ticks]		乗算[ticks]		除算[ticks]	
		1回	100回	1回	100回	1回	100回
単精度	SW	546	36262	546	36262	559	37562
	HW	724	50981	1825	161587	932	73053
倍精度	SW	1518	126363	1516	126163	1536	128163
	HW	1059	82686	5574	546405	4445	418075

1 [ticks] : 1 / 50000000 [sec]

参考文献

- 1) 越智裕之、鈴木達也、松永清香、河野陽一、津田孝夫: IEEE754 準拠単精度浮動小数点除算器 IP ライブラリの開発、第5回 LSI IP デザイン・アワード論文、2003、<http://techon.nikkeibp.co.jp/award/papers/>
- 2) 伊藤久志、仲江哲一: 桁数可変型算術演算システムの開発、第6回 LSI IP デザイン・アワード論文、2004、<http://techon.nikkeibp.co.jp/award/papers/>
- 3) IEEE Standard for Binary Floating-Point Arithmetic、<http://www.validlab.com/754R/standards/754.html>